

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-175631

(43)Date of publication of application : 14.07.1995

(51)Int.Cl. G06F 7/00
G06F 7/38
G06F 15/78

(21)Application number : 05-343751

(22)Date of filing : 16.12.1993

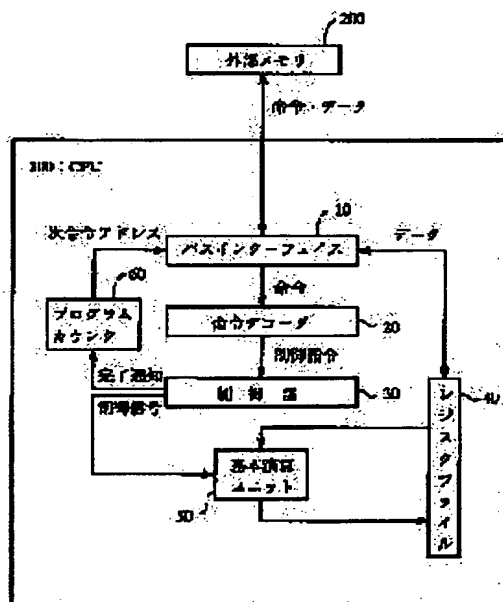
(54) ARITHMETIC PROCESSOR

(57)Abstract:

PURPOSE: To make a CPU faster in operating speed and smaller in size.

CONSTITUTION: A computing element configuration information is prepared in addition to instructions and data in an object program inside an external memory 200. The instructions are distributed to an instruction decoder 20, the data are distributed to a register file 40 and the computing element configuration information is distributed to a reloadable memory 80

respectively by a bus interface 10 inside a CPU 300. The plural basic computing elements prepared inside a basic arithmetic unit 50 are fixed but a dedicated computing element constituted inside a dedicated arithmetic unit 70 is changed corresponding to the computing element configuration information inside the memory 80. In the applied instruction, the arithmetic capable of execution by the dedicated computing element is performed by the dedicated computing element.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-175631

(43)公開日 平成7年(1995)7月14日

(51)IntCl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 7/00				
7/38	Z			
15/78	5 1 0 G	9188-5B	G 0 6 F 7/ 00	S

審査請求 未請求 請求項の数2 F D (全 7 頁)

(21)出願番号 特願平5-343751

(22)出願日 平成5年(1993)12月16日

(71)出願人 000002897

大日本印刷株式会社

東京都新宿区市谷加賀町一丁目1番1号

(72)発明者 岡本 隆浩

東京都新宿区市谷加賀町一丁目1番1号

大日本印刷株式会社内

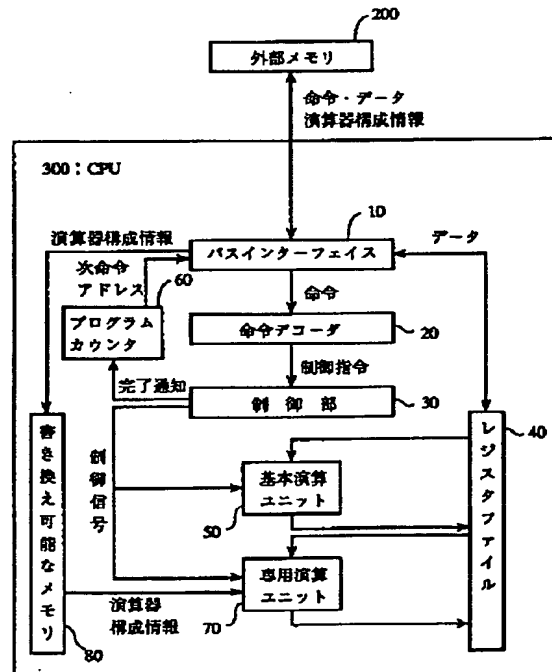
(74)代理人 弁理士 志村 浩

(54)【発明の名称】 演算処理装置

(57)【要約】

【目的】 CPUをより高速化し、より小型化する。

【構成】 外部メモリ200内のオブジェクトプログラムには、命令、データの他に、演算器構成情報を用意する。CPU300内部では、バスインターフェイス10によって、命令は命令デコーダ20に、データはレジスタファイル40に、演算器構成情報は書き換え可能なメモリ80に、それぞれ分配される。基本演算ユニット50内に用意された複数の基本演算器は固定のものであるが、専用演算ユニット70内に構成される専用演算器は、メモリ80内の演算器構成情報によって変化する。与えられた命令のうち、専用演算器で実行できる演算は専用演算器で行う。



【特許請求の範囲】

【請求項 1】 外部メモリとの間で情報の受け渡しを行うインターフェイスと、

前記インターフェイスに対して、前記外部メモリ内のアドレス指定を行うプログラムカウンタと、

前記インターフェイスを介して外部から与えられた命令をデコードする命令デコーダと、

前記命令の実行に必要な予め定められた所定の基本演算を行う演算器からなる基本演算ユニットと、

前記インターフェイスを介して外部から与えられたデータおよび前記基本演算ユニットによる演算で得られたデータ 10 を保持するレジスタと、

前記命令デコーダにおけるデコード結果に基づいて、前記基本演算ユニットに所定の演算を実行させる制御を行うとともに、前記プログラムカウンタによるアドレス指定を更新する制御を行う制御部と、

を備える演算処理装置において、

前記インターフェイスを介して外部から与えられた所定の演算器構成情報を保持する書き換え可能なメモリと、前記書き換え可能なメモリ内の演算器構成情報に応じて、所定の専用演算を行う演算器を構成することができ 20 る専用演算ユニットと、

を設け、前記所定の専用演算については、前記基本演算ユニットに代えて前記専用演算ユニットを用いて演算を実行できるように構成したことを特徴とする演算処理装置。

【請求項 2】 請求項 1 に記載の演算処理装置において、

書き換え可能なメモリとして RAM を、専用演算ユニットとして FPG A を、それぞれ用い、前記 RAM 内のビットパターンによって前記 FPG A の配線パターンを定義できるように構成したことを特徴とする演算処理装 30 置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は演算処理装置、特に、CPU と呼ばれているコンピュータの中核として用いられる演算処理装置に関する。

【0002】

【従来の技術】 一般に CPU と呼ばれている演算処理装置 40 は、コンピュータの中核をなす装置であり、オブジェクトプログラムを直接実行する機能を有する。通常、CPU は、バスを介して外部メモリとの接続を行うインターフェイスと、外部メモリ内に格納されたオブジェクトプログラムのアドレスを示すプログラムカウンタと、オブジェクトプログラム内の命令をデコードする命令デコーダと、デコードされた命令に基づいて基本的な演算を行う基本演算ユニットと、データを一時的に保存するレジスタと、命令の実行を制御する制御部と、を有し、これらの各構成要素は、通常、1 チップに内蔵される。基 50

本演算ユニットは、加算、減算、論理和演算、論理積演算、シフト演算、などの基本的な演算を行う複数の演算器から構成されており、オブジェクトプログラムとして与えられた命令は、これらの基本演算の組み合わせによって実行されることになる。

【0003】

【発明が解決しようとする課題】 コンピュータの中核をなす CPU の動作クロック周波数は年々高速化されてきており、今後も CPU の動作速度は益々高速化されることが予想される。また、半導体集積回路の集積度も年々向上してきており、CPU は益々小型化してゆくものと期待されている。しかしながら、これらの技術革新が遅いと思われるほど、コンピュータに対する高速化、小型化への要請は高まってきている。すなわち、同じクロックを用いてもより高速に動作する CPU が望まれてきており、同じ集積度の半導体回路を用いてもより小型化が可能な CPU が望まれてきている。

【0004】 そこで本発明は、更に高速化を図ることができ、更に小型化を図ることができる演算処理装置を提供することを目的とする。

【0005】

【課題を解決するための手段】

(1) 本願第 1 の発明は、外部メモリとの間で情報の受け渡しを行うインターフェイスと、このインターフェイスに対して、外部メモリ内のアドレス指定を行うプログラムカウンタと、インターフェイスを介して外部から与えられた命令をデコードする命令デコーダと、与えられた命令の実行に必要な予め定められた所定の基本演算を行う演算器からなる基本演算ユニットと、インターフェイスを介して外部から与えられたデータおよび基本演算ユニットによる演算で得られたデータを保持するレジスタと、命令デコーダにおけるデコード結果に基づいて、基本演算ユニットに所定の演算を実行させる制御を行うとともに、プログラムカウンタによるアドレス指定を更新する制御を行う制御部と、を備える演算処理装置において、インターフェイスを介して外部から与えられた所定の演算器構成情報を保持する書き換え可能なメモリと、この書き換え可能なメモリ内の演算器構成情報に応じて、所定の専用演算を行う演算器を構成することができ 30 る専用演算ユニットと、を設け、所定の専用演算については、基本演算ユニットに代えて専用演算ユニットを用いて演算を実行できるように構成したものである。

【0006】 (2) 本願第 2 の発明は、上述の第 1 の発明に係る演算処理装置において、書き換え可能なメモリとして RAM を、専用演算ユニットとして FPG A を、それぞれ用い、RAM 内のビットパターンによって FPG A の配線パターンを定義できるように構成したものである。

【0007】

【作 用】 通常、外部メモリから演算処理装置に与える

オブジェクトプログラムには、命令とデータとが含まれている。本発明に係る演算処理装置に対しては、オブジェクトプログラムに、更に、演算器構成情報を含ませる。この演算器構成情報を演算処理装置内の書き換え可能なメモリ内に書き込むと、この情報に基づいて、専用演算ユニット内に所定の専用演算を行う演算器が構成される。すなわち、演算処理装置内には、基本演算を行う演算器からなる基本演算ユニットの他に、個々のオブジェクトプログラムにおいて必要な専用演算を行う演算器からなる専用演算ユニットが構成されることになる。そして、このオブジェクトプログラム内の特定の専用演算については、基本演算ユニット内の演算器ではなく、専用演算ユニット内の演算器によって実行される。このため、演算に必要なマシンサイクル数を減らすことができ、演算速度を高速化することができる。また、基本演算ユニット内には、必要最小限の基本演算を行う演算器だけを設けておけばよいので、演算器数を減らすことができ、装置を小型化することができる。

【0008】

【実施例】以下、本発明を図示する実施例に基づいて説明する。はじめに、図1に基づいて、従来の一般的な演算処理装置(CPU)の構成および動作を説明する。図1に示す従来の一般的なCPU100の基本的な構成要素は、バスインターフェイス10、命令デコーダ20、制御部30、レジスタファイル40、基本演算ユニット50、プログラムカウンタ60であり、これらの各構成要素が1チップ内に収容されている。このCPU100は、バスを介して外部メモリ200(通常は、RAM)に接続されている。

【0009】バスインターフェイス10は、この外部メモリ200との間で情報の受け渡しを行う機能を有する。外部メモリ200内には、このCPU100に実行させるためのオブジェクトプログラムが格納されている。プログラムカウンタ60は、外部メモリ200からオブジェクトプログラムを読み出すために、所定のアドレス指定を行う機能を有する。すなわち、バスインターフェイス10は、プログラムカウンタ60によって指定された次命令アドレスによって外部メモリ200をアクセスし、次に実行すべき命令およびデータを読み込んでくる。バスインターフェイス10によって読み込まれた命令は、命令デコーダ20においてデコードされ、デコードされた命令に対応した制御指令が制御部30に与えられる。一方、バスインターフェイス10によって読み込まれたデータは、レジスタファイル40を構成する複数のレジスタのうちのいずれかによって保持される。

【0010】基本演算ユニット50は、外部から与えられる命令の実行に必要な所定の基本演算を行う複数の演算器によって構成されている。具体的には、加算、減算、論理和演算、論理積演算、シフト演算、などの基本的な演算を行う複数の演算器から構成されている。制御

部30は、与えられた制御指令に基づいて、基本演算ユニット50に対して制御信号を送り、各演算器に所定の演算を実行させる。基本演算ユニット50内の演算器は、この制御信号に基づいて、レジスタファイル40内の所定のレジスタ内のデータについて所定の演算を行い、その演算結果を再びレジスタファイル40内の所定のレジスタに格納する。こうして、命令デコーダ20によってデコードされた命令に関する演算が完了すると、制御部30からプログラムカウンタ60に完了通知が与えられる。これにより、プログラムカウンタ60の示すアドレス値が更新されることになり、バスインターフェイス10は、更新後のアドレスによって外部メモリ200をアクセスし、次の命令およびデータの読み込みを行う。

【0011】以上、従来のCPU100の基本構成および基本動作を説明したが、このような構成および動作をもった装置では、複雑な演算を実行させようとすると、時間がかかるという問題がある。これを図2に示す簡単なモデルで説明しよう。いま、説明の便宜上、レジスタファイル40が7つのレジスタ41~47によって構成されており、基本演算ユニット50が基本演算器51(加算器)と基本演算器52(乗算器)とによって構成されている単純な例を考える。そして、このような構成において、 $A = (B + C) * D$ なる演算を行う命令およびデータ(B, C, D)が与えられた場合を考えてみる。この場合、次のようなステップで演算を行う必要がある。まず、図3(a)に示すように、レジスタ42, 43にそれぞれデータB, Cを格納する。そして、基本演算器51(加算器)によって(B+C)を演算して求める。続いて、図3(b)に示すように、この演算結果(B+C)を、レジスタ45に格納するとともに、データDをレジスタ46に格納する。そして、今度は、基本演算器52(乗算器)によって(B+C)*Dを演算して求める。最後に、図3(c)に示すように、この演算結果(B+C)*Dを、たとえば、レジスタ41に格納する。かくして、求めるべきデータAは、レジスタ41に得られることになる。

【0012】このように、基本演算ユニット50内に予め用意されている基本演算器だけを用いて複雑な演算を実行させようとすると、複数のステップに分けた演算処理を行わざるを得ない。これが、従来のCPUの演算速度の向上を阻む原因である。また、実際のCPUでは、上述したように、加算器、減算器、論理和演算器、論理積演算器、シフト演算器、などの基本的な演算を行う種々の演算器を用意しておく必要があり、しかも、効率良い演算を行うためには、それぞれ複数組ずつ用意しておく必要がある。別言すれば、特定のオブジェクトプログラムを実行する場合には不必要であるような演算器も、汎用のCPUとしては、用意しておかざるを得ない。このため、チップ上に無駄な素子を配置する必要が生じ、

小型化を阻む原因となる。

【0013】図4に示す本発明に係る演算処理装置では、このような問題が解決できる。図4に示すCPU300は、図1に示す従来のCPU100に、更に、専用演算ユニット70と書き換え可能なメモリ80とを付加したものである。ここで、専用演算ユニット70は、書き換え可能なメモリ80内に書き込まれた演算器構成情報に応じて、所定の専用演算を行う演算器を構成する機能を有する。この演算器構成情報は、バスインターフェイス10を介して外部メモリ200から与えられ、書き換え可能なメモリ80内に書き込まれることになる。10
 いわば、専用演算ユニット70は、任意の演算器を構成するための部品の集合体であり、書き換え可能なメモリ80内に書き込まれた演算器構成情報に基づいて有機的に結合し、専用演算器を構成する機能をもっている。たとえば、外部メモリ200から、演算器構成情報として、
 「 $(x+y) * z$ なる演算を行うための専用演算器を構成する」ことを示す情報を与えれば、このような情報が書き換え可能なメモリ80内に書き込まれ、専用演算ユニット70内には、
 「 $(x+y) * z$ なる演算を行うための専用演算器」が構成されることになる。20

【0014】図5は、こうして構成された専用演算器71とレジスタファイル40との関係を示す図である。いま、このような専用演算器71を用いて、 $A = (B + C) * D$ なる演算を行ってみる。この場合、まず、図6(a)に示すように、レジスタ43, 44, 45にそれぞれデータB, C, D格納する。そして、専用演算器71によって $(x+y) * z$ なる演算を行い、その結果として得られる $(B + C) * D$ なる値を、たとえば、図6(b)に示すように、レジスタ41に格納する。かくして、求めるべきデータAは、レジスタ41に得られることになる。このように、専用演算器71を用いれば、 $A = (B + C) * D$ なる演算を高速に行うことができる。30

【0015】上述の例では、 $A = (B + C) * D$ なる専用演算を行う場合を例にとって説明したが、専用演算ユニット70内には、任意の専用演算器を構成することが可能である。たとえば、 $A = (B - C - D) / E$ なる専用演算を行う場合には、このような専用演算器を構成することを示す演算器構成情報を書き換え可能なメモリ80内に書き込むようにすればよい。もちろん、専用演算ユニット70内には、複数の専用演算器を構成することも可能である。40

【0016】本発明の利点は、外部メモリ200内に用意されたオブジェクトプログラムの実行に必要な特定の演算のために、専用演算ユニット70内に予め専用演算器を構成しておくことができる点にある。たとえば、オブジェクトプログラム甲の中に、 $A = (B + C) * D$ なる演算が頻繁に使用されているのであれば、このオブジェクトプログラム甲内に、所定の命令、所定のデータとともに、 $A = (B + C) * D$ なる演算を行う専用演算器 50

を構成する旨の演算器構成情報を用意しておけばよい。オブジェクトプログラムのフォーマットとして、命令、データ、演算器構成情報、の3つの属性を識別しうるフォーマットを用いるようにすれば、バスインターフェイス10は、外部メモリ200から読み込んだオブジェクトコードを、この3つの属性に分けることができ、命令であれば命令デコーダ20へ送り、データであればレジスタファイル40へ送り、演算器構成情報であれば書き換え可能なメモリ80へ送る処理を実行することができる。書き換え可能なメモリ80内に、 $A = (B + C) * D$ なる演算を行う専用演算器を構成する旨の演算器構成情報が書き込まれた段階で、専用演算ユニット70内には、 $A = (B + C) * D$ なる演算を行う専用演算器が構成される。したがって、以後、 $A = (B + C) * D$ なる演算を行う命令が与えられたときには、制御部30が、基本演算ユニット50に代わって専用演算ユニット70に対して演算実行の制御信号を与えるようにすれば、基本演算ユニット50内の演算器の代わりに、専用演算ユニット70内に用意された専用演算器を用いて高速演算を行うことが可能になる。

【0017】書き換え可能なメモリ80は、文字どおり書き換えが可能であるから、別なオブジェクトプログラムを実行する場合には、この内容を書き換えることにより、専用演算ユニット70内に別な専用演算器を構成することができる。たとえば、別なオブジェクトプログラム乙の中には、 $A = (B - C - D) / E$ なる演算が頻繁に使用されているのであれば、このオブジェクトプログラム乙内に、 $A = (B - C - D) / E$ なる演算を行う専用演算器を構成する旨の演算器構成情報を用意しておけばよい。オブジェクトプログラム甲に代わって、オブジェクトプログラム乙を実行すれば、書き換え可能なメモリ80内の演算器構成情報が書き換えられ、専用演算ユニット70内には、 $A = (B - C - D) / E$ なる演算を行う専用演算器が構成されることになる。

【0018】要するに、本発明に係る演算処理装置では、実行するオブジェクトプログラムに応じて、専用演算ユニット70内に用意される専用演算器が適宜変化することになり、常に実行中のオブジェクトプログラムに必要な専用演算器が用意された状態になる。したがって、そのプログラム実行に適した演算器構成情報を含んだオブジェクトプログラムさえ供給してやれば、本発明に係る演算処理装置によってプログラムの効率的な実行が可能になる。

【0019】本発明は、専用演算器によって演算速度を向上させることができるだけでなく、装置自身の小型化にも寄与できる。すなわち、専用演算ユニット70を用いて専用演算器を構成できる分だけ、基本演算ユニット50の負担が減ることになるので、基本演算ユニット50内に用意すべき基本演算器の数を減らすことができるのである。これにより、無駄な演算器を極力減らすこと

ができ、装置全体の小型化が図れるようになる。

【0020】最後に、専用演算ユニット70および書き換え可能なメモリ80の好ましい構成例を示す。専用演算ユニット70としては、FPGA (Field Programmable Gate Array) を用い、書き換え可能なメモリ80としてはRAMを用いるのが好ましい。FPGAは、図7に示すように、複数の基本素子(AND素子、OR素子、フリップフロップ素子などの基本的な論理デバイス)を平面上に配列し、これらを互いに格子状の配線で繋ぎ合わせたものである。ここで、図7において黒丸で示す各配線の接続点は、実際には図8に示すように、トランジスタTによって接続/非接続を制御できるようになっている。たとえば、トランジスタTのゲートに論理“1”が与えられたら接続点は接続状態(導通状態)となり、論理“0”が与えられたら接続点は非接続状態(非導通状態)となるように制御される。ここで、各接続点に設けられたトランジスタTのゲートを、書き換え可能なメモリ80として用意したRAM内のデータの1ビットの論理値で制御するようにすれば、RAM内のビットパターンによって、FPGAの配線パターンを定義することができる。したがって、演算器構成情報も、所定のビットパターンとして用意することが可能になる。たとえば、RAM内に「111010101…」といった所定のビットパターンを書き込めば、図7に示すようなFPGAの格子状の配線における所定の接続点だけが接続状態となり、各基本素子が特定の態様で結合され、特定の演算機能をもった専用演算器が構成されることになる。このように、FPGAとRAMとによって専用演算ユニット70および書き換え可能なメモリ80を構成しておけば、演算器構成情報をビットパターンとして用意することができ便利である。

【0021】以上、本発明を図示する実施例に基づいて説明したが、本発明はこの実施例に限定されるものではなく、この他にも種々の態様で実施可能である。

【0022】

【発明の効果】以上のとおり、本発明に係る演算処理装置によれば、演算器構成情報を格納するための書き換え

可能なメモリと、この演算器構成情報に基づいて所定の専用演算器を構成することができる専用演算ユニットと、を設けるようにしたため、更なる高速化、および更なる小型化を図ることができるようになる。

【図面の簡単な説明】

【図1】従来の一般的なCPUの基本構成を示すブロック図である。

【図2】図1に示すCPUにおける基本演算ユニット50の一例を示すブロック図である。

【図3】図2に示す基本演算ユニット50による簡単な演算例を示す図である。

【図4】本発明に係るCPUの基本構成を示すブロック図である。

【図5】図4に示すCPUにおける専用演算ユニット70の一例を示すブロック図である。

【図6】図5に示す専用演算ユニット70による簡単な演算例を示す図である。

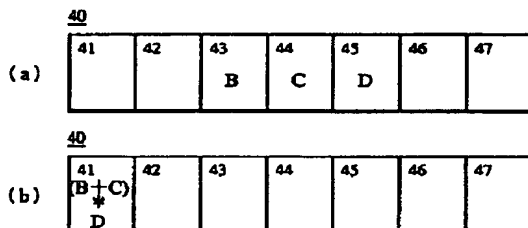
【図7】図4に示すCPUの専用演算ユニット70を構成するFPGAの一例を示す回路図である。

【図8】図7に示すFPGAの接続点の拡大図である。

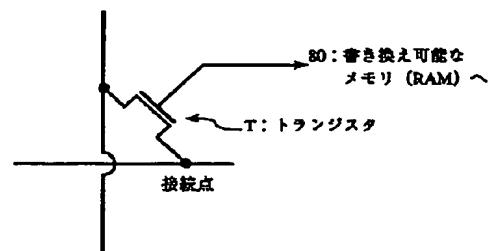
【符号の説明】

- 10…バスインターフェイス
- 20…命令デコーダ
- 30…制御部
- 40…レジスタファイル
- 41～47…レジスタ
- 50…基本演算ユニット
- 51…基本演算器(加算器)
- 52…基本演算器(乗算器)
- 60…プログラムカウンタ
- 70…専用演算ユニット
- 71…専用演算器
- 80…書き換え可能なメモリ
- 100…従来のCPU
- 200…外部メモリ
- 300…本発明に係るCPU
- T…トランジスタ

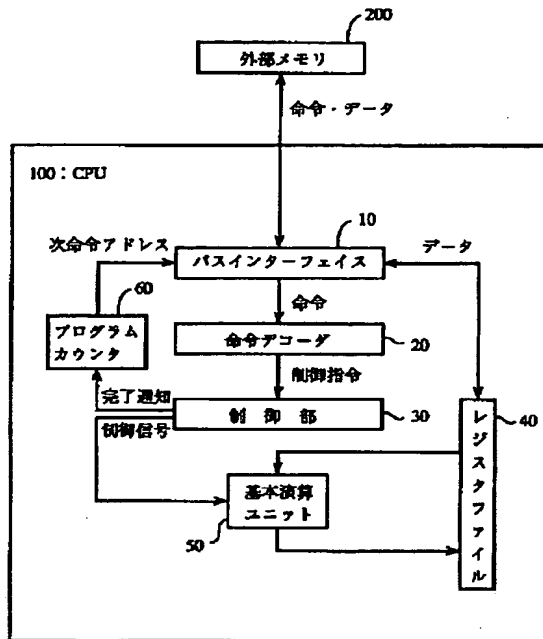
【図6】



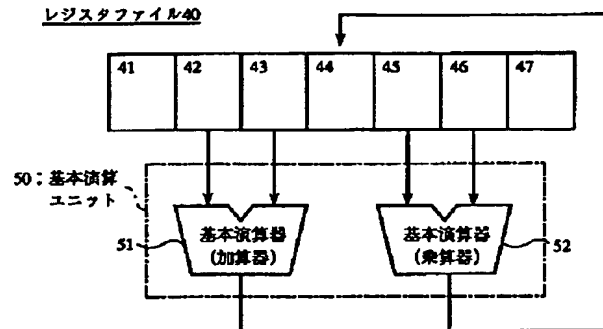
【図8】



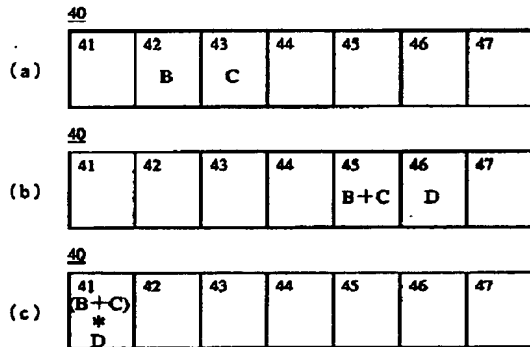
【図 1】



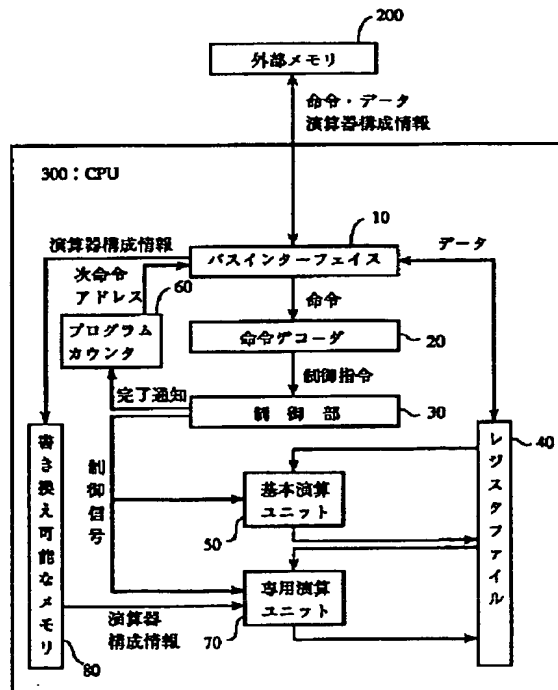
【図 2】



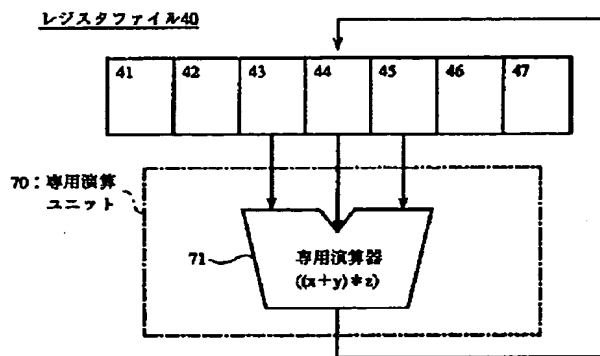
【図 3】



【図 4】



【図5】



【図7】

